

«Электронная компания «ЭЛКУС»

АДАПТЕР РАДИАЛЬНЫХ КАНАЛОВ

PC/104-429-1-XX

(ГОСТ18977-79(ARINC429) для PC/104-Plus)

СОДЕРЖАНИЕ

СОКРАЩЕНИЯ И ОБОЗНАЧЕНИЯ	3
1. НАЗНАЧЕНИЕ И СОСТАВ АДАПТЕРА.	4
1.1 Назначение адаптера	4
1.2 Состав адаптера	4
1.3 Модификации адаптера	4
2. ПРИНЦИПЫ РАБОТЫ И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ	5
2.1 Общие принципы работы	5
2.2 Технические характеристики	5
3. УСТАНОВКА И ПОДКЛЮЧЕНИЕ АДАПТЕРА	6
3.1 Внешний вид адаптера	6
3.2 Установка перемычек адаптера	7
3.3 Распределение контактов на разъемах адаптера	8
4. РЕГИСТРОВАЯ МОДЕЛЬ	9
4.1 Регистры адаптера	9
4.2 Регистр режимов RM (ЗП)	9
4.3 Регистр программного сброса и Идентификатора RID (ЧТ)	10
4.4 Регистр прерываний каналов ПК RGI (ЗП/ЧТ)	10
4.5 Регистр адреса, данных ОЗУ адаптера RA, RD (ЗП/ЧТ)	10
4.6 Регистры разовых команд (РК) адаптера DO(ЗП) и DI (ЧТ)	10
4.7 Регистр флагов прерываний каналов ПК и РК адаптера RF (ЧТ)	10
5. АДРЕСНОЕ ПРОСТРАНСТВО ОЗУ	12
5.1 Распределение адресного пространства.	12
5.2 Зона данных ПК ОЗУ Адаптера ПК SI/SO	12
5.3 Зона таблиц программного расписания каналов TBSI/TBO	13
5.4 Регистры управления (RF,RC,RS,RB) каналов приема-выдачи ПК	14
5.4.1. Регистр Настройки Частоты (RF) и буферные регистры данных (RB) каналов ПК.	14
5.4.2. Регистры управления (RC) и состояния/режима (RS) входных, выходных каналов ПК.	14
6. РАБОТА АДАПТЕРА	15
6.1 Включение адаптера	15
6.2 Настройка (инициализация) каналов ПК на частоту ПК	15
6.3 Настройка каналов ПК на режимы приема-выдачи	15
6.4 Работа Адаптера в режиме выдачи ПК	16
6.5 Работа Адаптера в режиме приема ПК	17
6.6 Работа адаптера при приеме-выдаче Разовых Команд	17
6.7 Формирование и обработка прерываний адаптера	18
7. РЕКОМЕНДАЦИИ ПОЛЬЗОВАТЕЛЯМ	19
7.1. Программное расписание (TBSI/TBSO) каналов ПК.	20
7.2. DTB[14,13] - наличие управления приема-выдачи слов ПК по DTB.	20
7.3. NB - наличие 2-х буферов ПК на канал.	20
7.4. NP - наличие 2-х буферов ТАВ ПРС на канал ПК.	20
7.5. Рекомендации по построению программ пользователя.	20
7.6. Рекомендации по эксплуатации и техническому обслуживанию.	20
ПРИЛОЖЕНИЕ А. РЕГИСТРОВАЯ МОДЕЛЬ, МОДИФИКАЦИИ АДАПТЕРА	21
ПРИЛОЖЕНИЕ Б. АДРЕСНОЕ ПРОСТРАНСТВО ОЗУ АДАПТЕРА	22

СОКРАЩЕНИЯ И ОБОЗНАЧЕНИЯ

DI – Discrete Input, входная разовая команда;
DIK – Discrete Input K, входная разовая команда типа «ключ на корпус»;
DO – Discrete Output, выходная разовая команда;
DOK – Discrete Output K, выходная разовая команда типа «ключ на корпус»;
FDI – Flag Discrete Input, флаг прерывания входной разовой команды;
FS – Flag Serial, флаг прерывания от последовательного канала;
JP – Jumper, устанавливаемая перемычка;
NB – Number Bank, номер банка в области данных ОЗУ;
NP – Number Page, номер страницы памяти в таблице программного расписания;
PCI – Peripheral Component Interconnect, шина расширения;
R_n – Сопротивление нагрузки;
SI – Serial Input, входной последовательный канал;
SO – Serial Output, выходной последовательный канал;
TBSI – Table Serial Input, таблица программного расписания входного последовательного канала;
TBSO – Table Serial Output, таблица программного расписания выходного последовательного канала;
TF – Task Flag, флаг установки задания

АП – Адрес параметра
ЗП – Запись
ОЗУ – Оперативная память адаптера
ОК – Открытый коллектор
ПК – Последовательный код
РК – Разовая команда
СС – Счетчик слов
ЧТ – Чтение

«Установка бита/разряда» – установка бита/разряда в «1»

«Сброс бита/разряда» – установка бита/разряда в «0»

1 НАЗНАЧЕНИЕ И СОСТАВ АДАПТЕРА

1.1 Назначение адаптера

Адаптер PCI104-429-1 (далее адаптер) выполнен в конструктиве PC/104-Plus (PCI-104) с универсальной версией шины PCI (+5В или +3,3В) и предназначен для сопряжения интерфейса PCI-104 с системами и устройствами по последовательному интерфейсу **ARINC-429** (последовательный код – **ПК** по **ГОСТ 18977-79** и **РТМ1495-75**) и дискретным каналам (Разовые Команды - **РК**) по **ГОСТ 18977-79**.

Адаптер требует наличия 4-х питающих напряжений на шине: +3.3, +5, +12, -12 В!!!

1.2 Состав адаптера

Логическая часть схемы адаптера выполнена на ПЛИС фирмы **ALTERA MAX 7512AE**, приемники-передатчики каналов **ПК** и **РК** выполнены на дискретных компонентах, в адаптере используется импортная элементная база.

На **Рисунке 1.1** приведена функциональная схема Адаптера.

В состав Адаптера входят:

- **MPCI** – мост-контроллер 16-разрядных портов шины **PCI**, обеспечивает режимы конфигурирования, запроса прерывания и обмена информацией шины **PCI** с регистрами адаптера по локальной шине.
- **ROM** – конфигурационное ПЗУ. Обеспечивает автоконфигурирование моста **PCI**.
- **PLD** – Программируемое логическое устройство, включающее всю логическую часть схемы Адаптера и обеспечивающее обмен портов адаптера с шиной **PCI** и режим запроса прерывания от Адаптера.
- **SI** – приемники каналов **ПК** по **ARINC-429**;
- **SO** – передатчики каналов **ПК** по **ARINC-429**;
- **DI** – приемники входных каналов **РК**;
- **DO** – передатчики выходных каналов **РК**;
- **RAM** – оперативное запоминающее устройство (ОЗУ) контроллера **ПК** емкостью 64 Кбайт;
- **G** – генератор тактовых импульсов (32 МГц.).

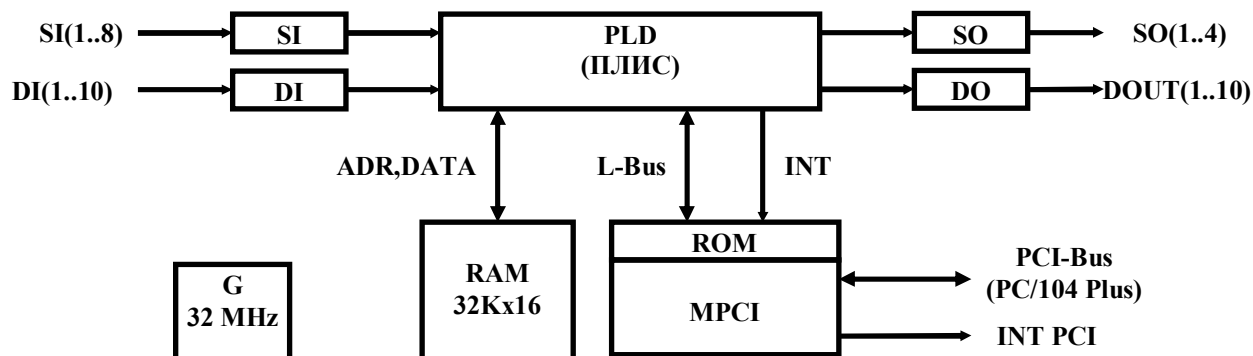


Рисунок 1.1 - Функциональная схема адаптера PCI104-429-1-XX.

1.3 Модификации адаптера

Адаптер поставляется в нескольких модификациях по выбору заказчика. Возможные модификации представлены в **таблице 1.1**. Для всех модификаций адаптеров количество и тип разовых команд сохраняются.

Таблица 1.1 – Модификации Адаптера PCI104-429-1-XX по количеству каналов **ПК**.

Исполнения:	PCI104-429-1-84	PCI104-429-1-44	PCI104-429-1-42	PCI104-429-1-22
Каналы SI :	SI1..SI8	SI1..SI4	SI1..SI4	SI1, SI2
Каналы SO :	SO1..SO4	SO1..SO4	SO1, SO2	SO1, SO2
Код ID[] :	6840	6440	6420	6220

2 ПРИНЦИПЫ РАБОТЫ И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

2.1 Общие принципы работы

Управление работой адаптера и обмен данными шины **РС1** с внешними каналами адаптера осуществляется через 16-ти разрядные порты адаптера, входящие в адресное пространство портов шины **РС1**.

Управление и обмен данными шины **РС1** с каналами последовательного кода (ПК) адаптера осуществляется через ОЗУ адаптера и позволяет со стороны шины **РС1** осуществлять независимую программную настройку каждого канала ПК на частоту и режимы приема-выдачи ПК.

Принятые коды ПК записываются и хранятся в **ОЗУ** адаптера в соответствии с программной моделью адаптера и заданным режимом приема ПК.

Коды, предназначенные для выдачи, из **ОЗУ** адаптера, в соответствии с программной моделью и заданным режимом выдачи ПК, передаются в выходные каналы ПК.

Предусмотрено несколько режимов выдачи и приема слов ПК, в которых производится отсев принимаемых или передаваемых слов по АП слова ПК, по битам разрешения выдачи слова. Также возможны выдача и прием определенного количества слов по счетчику, как однократно так и с циклическим повтором.

Адаптер, при чтении регистров-портов передает в шину **РС1** код состояния входных каналов **РК** адаптера, а так же передает в выходные каналы **РК** адаптера код, записанный по шине **РС1** и хранящийся в регистрах-портах адаптера.

Адаптер формирует и запоминает в регистрах до двенадцати сигналов прерываний от каналов ПК и до четырех сигналов прерываний от входных каналов **РК**, по которым с возможностью побитного маскирования, формируется сигнал запроса прерывания шины **РС1**.

Формат слова последовательного кода приведен в таблице 2.1. При выдаче слово поступает в канал, начиная с младших разрядов. Самый младший разряд слова ПК является старшим (8-м) разрядом адреса параметра.

Таблица 2.1 – Формат слова ПК.

	Бит четности	Данные	Адрес Параметра
Разряды слова ПК	32	31..9	8..1
Веса разрядов	32	31..9	1..8

2.2 Технические характеристики.

- Количество, доступных пользователю 16-разрядных портов В/В шины **РС1** адаптера: **16 ;**
- Количество занимаемых прерываний шины **РС1**: **1;**
- Количество формируемых сигналов прерываний от каналов ПК и входных каналов **РК**: **16 и 4;**
- Количество входных (**SI**) каналов ПК по ARINC-429: **8 (4, 2);**
- Количество выходных (**SO**) каналов ПК по ARINC-429: **4 (2);**
- Частота принимаемых ПК: **(12..14,5)КГц, 48 КГц +/-25%, 100 КГц +/-1%;**
- Эквивалентная нагрузка входного канала ПК: **Rн не менее 20 КОм, Сн не более 10 пФ;**
- Частота выдаваемых ПК: **12,5 КГц +/-1%, 50 КГц +/-1%, 100 КГц +/-1%;**
- Нагрузка выходного канала ПК: **Rн не менее 600 Ом, Сн не более 10.000 пФ;**
- Количество входных (**DIK**), выходных (**DOK**) каналов **РК** типа «ключ на корпус»: **8 и 8;**
- Параметры сигналов входных **РК (DIK)**: отсутствие сигнала **2,4В<Uвх<35В** или обрыв; наличие сигнала **(0,22+/-0,22)В;**
- Минимальная длительность входных сигналов **РК** при регистрации прерываний (не менее) **1 мкс;**
- Параметры выходных **РК (DOK)**: отсутствие сигнала **Uн<35В** (закрытое состояние); (выходной каскад - ОК) наличие сигнала **Uот<0,7В** при **Iн<20мА** (открытое состояние);
- Количество входных (**DIT**), выходных (**DIT**) каналов **РК** типа ТТЛ: **2 и 2;**
- Параметры сигналов входных **РК (DIT)**: отсутствие сигнала **0В<Uвх<0,8В** или обрыв; Вход элемента NC7SZ14 наличие сигнала **2,0В<Uвх<5,5В;**
- Параметры выходных **РК (DOT)**: отсутствие сигнала **Uвых<0,4В** при **Iн<8мА;;** Выход элемента NC7SZ14 наличие сигнала **Uвых>2,4В** при **Iн<12мА;**
- ОЗУ **32К 16-разрядных слов;**
- Напряжения питания: **+3.3В +/-5% I потр. не более 350 мА;**
+5В +/-5% , I потр. не более 70 мА;
+12В +/-10% , I потр. не более 120 мА;
минус 12В +/-10% , I потр. не более 120 мА;
- Время готовности модуля к работе после включения питания не более **200 мкс.;**

3 УСТАНОВКА И ПОДКЛЮЧЕНИЕ АДАПТЕРА

3.1 Внешний вид адаптера

На рисунке 3.1 приведен внешний вид адаптера, в таблице 3.1 приведено краткое описание разъемов.

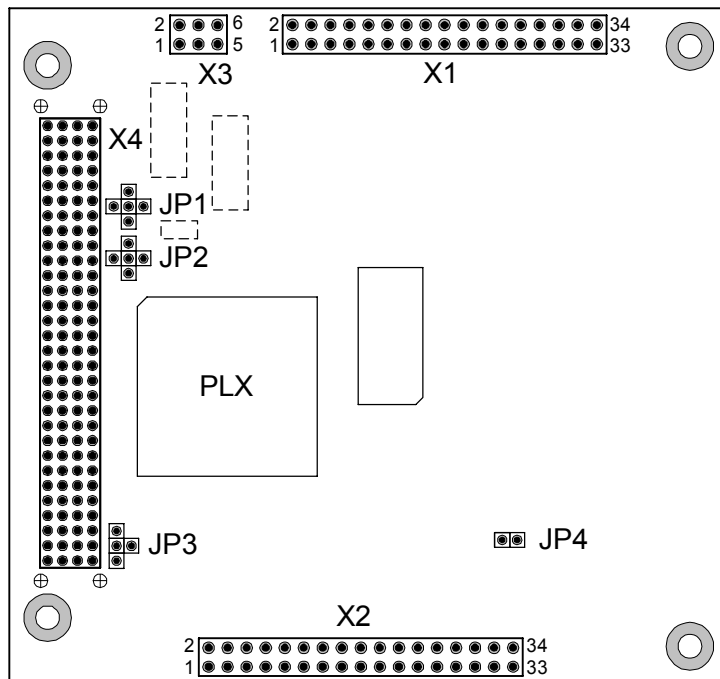


Рисунок 3.1 – Внешний вид адаптера

Таблица 3.1 – Разъемы и перемычки PCI104-429-1-84

Разъем	Назначение	Тип разъема
X1	Выходные и входные каналы ARINC-429	IDC-34
X2	Выходные и входные разовые команды	IDC-34
X3	Дополнительный разъем питания +12V, -12V, GND	-
X4	Шина PCI	-
JP1	Выбор прерывания на шине PCI	-
JP2	Выбор номера устройства (IDSEL) на шине PCI	-
JP3	Уровни сигналов на шине PCI	-
JP4	Заземление теплоотводящего слоя	-

3.2 Установка перемычек адаптера

Перед установкой адаптера в систему следует сконфигурировать его для работы в данной системе с помощью джамперов JP1...JP3. Используются джамперы с шагом **2мм!**

Джампер JP1 предназначен для подключения выхода запроса прерывания адаптера к одной из линий запроса прерывания на шине PCI. Поле джампера изображено на **рисунке 3.2**, а действие в **таблице 3.2**.

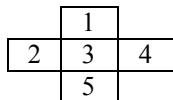


Рисунок 3.2 – Поле джампера JP1

Таблица 3.2 – Установка джампера JP1

Положение перемычки	Прерывание на PCI
1-3	INTD
2-3	INTC
4-3	INTA
5-3	INTB

Джампер JP2 предназначен для подключения к адаптеру сигнала индивидуальной выборки IDSELx шины PCI. Все устройства в системе подключенные к шине PCI должны быть подключены к различным сигналам IDSELx. Поле джампера изображено на **рисунке 3.3**, а действие в **таблице 3.3**.



Рисунок 3.3 – Поле джампера JP2

Таблица 3.3 – Установка джампера JP2

Сигнал выборки на PCI	Положение перемычки
IDSEL0	4-3
IDSEL1	5-3
IDSEL2	2-3
IDSEL3	1-3

Джампер JP3 предназначен для выбора уровня сигналов на шине PCI, к которой подключается адаптер. Адаптер предназначен для работы с уровнями 5В и 3.3В. В системе, построенной в соответствии со спецификацией PC/104-Plus, линии PCI VI/O, предназначенные для питания выходных буферов устройства, несут напряжение питания соответствующее уровню сигналов. В таких системах джампер ставится в положение 4-2. Для систем, где отсутствует сигнал VI/O (например Багет-83) предусмотрено принудительное указание уровня сигналов на PCI. Поле джампера изображено на **рисунке 3.4**, а действие в **таблице 3.4**.

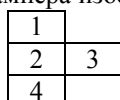


Рисунок 3.4 – Поле джампера JP3

Таблица 3.4 – Установка джампера JP2

Уровень сигналов на PCI	Положение перемычки
Определяется VI/O	4-2
5 В	1-2
3,3 В	3-2

Джампер JP4 при установке замыкает теплоотводящий слой платы со слоем «земли». Поле джампера изображено на **рисунке 3.5**.

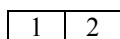


Рисунок 3.5 – Поле джампера JP4

3.3 Распределение контактов на разъемах адаптера

Связь платы с внешними системами осуществляется через кабель, изготавливаемый пользователем и подключаемый к соединителям **X1** и **X2** платы. Цепи соединителя **X1** приведены в табл.7. Каждый канал ПК должен быть выполнен (желательно экранированной) витой парой фаз А и В одноименного канала.

Если в системе отсутствуют на шине PCI напряжения питания +12В и –12В, то они могут подаваться на адаптер и, в том числе на всю систему, через разъем **X3**. В **таблице 3.5** приведено распределение контактов разъема **X1**. В **таблице 3.6** приведено распределение контактов разъема **X2**, В **таблице 3.7** приведено распределение контактов разъема **X3**.

Таблица 3.5 - Разъем X1. Последовательные Каналы.

Контакт разъема	Цепь	Контакт разъема	Цепь
1	GND	2	GND
3	SOB1	4	SIB2
5	SOA1	6	SIA2
7	N.C.	8	N.C.
9	SOB2	10	SIB1
11	SOA2	12	SIA1
13	SIB4	14	SIA3
15	SIA4	16	SIB3
17	GND	18	GND
19	SIB6	20	SIA5
21	SIA6	22	SIB5
23	SIA8	24	SOA3
25	SIB8	26	SOB3
27	N.C.	28	N.C.
29	SIA7	30	SOA4
31	SIB7	32	SOB4
33	GND	34	GND

SOAn – выход ПК фаза А, канал n; SOBn – выход ПК фаза В, канал n.

SIAн – вход ПК фаза А, канал n; SIBн – вход ПК фаза В, канал n.

Таблица 3.6 - Разъем X2. Разовые команды.

Контакт разъема	Цепь	Контакт разъема	Цепь
1	GND	2	+5В
3	GND	4	+5В
5	N.C.	6	N.C.
7	N.C.	8	N.C.
9	DIK1	10	DOK1
11	DIK2	12	DOK2
13	DIK3	14	DOK3
15	DIK4	16	DOK4
17	GND	18	GND
19	DOK5	20	DIK5
21	DOK6	22	DIK6
23	DOK7	24	DIK7
25	DOK8	26	DIK8
27	DIT1	28	DOT1
29	DIT2	30	DOT2
31	+5В	32	GND
33	+5В	34	GND

DIKn – входная РК типа «ключ на корпус». DOKn – выходная РК типа «ключ на корпус».

DITn – входная РК типа ТТЛ; DOTn – выходная РК типа ТТЛ.

Таблица 3.7 - Разъем X3. Внешнее питание.

Контакт разъема	Цепь	Контакт разъема	Цепь
1	-12В	2	+12В
3	GND	4	GND
5	+12В	6	-12В

4 РЕГИСТРОВАЯ МОДЕЛЬ

4.1 Регистры адаптера

Регистровая модель адаптера РСИ104-429-1-XX, базируется на регистровой модели РСИ429-3-XX и в основных чертах повторяет модель адаптера РС429-3-XX, отличия заключаются в ином механизме формирования запроса прерывания IRQ PCI от каналов ПК и входных каналов РК. Отличия от базовой модели РСИ429-3-XX заключаются в увеличенном числе разовых команд. Управление РК добавлено в регистровую модель таким образом, что программное обеспечение разработанное для РСИ429-3-XX не потребует изменений (за исключением анализа идентификатора платы, если он использовался) в случае если добавленные РК не будут использоваться.

Механизмы управления работой каналов ПК и структура адресов и данных в ОЗУ адаптера полностью повторяет характеристики адаптера РС429-3-XX.

Доступ к регистрам и ОЗУ адаптера осуществляется через 16-разрядные порты ввода-вывода шины PCI. В Таблице 4.1 приведены форматы данных и смещение регистров модуля относительно базового адреса устройства.

Часть регистров, отвечающих за управление каналами, не приведены в этой таблице, они расположены в ОЗУ устройства и рассмотрены в п. 5.4. Доступ к ним осуществляется, как и к остальной памяти адаптера, через регистры RA, RD.

Таблица 4.1 - 16-разрядные регистры-порты шины PCI адаптера.

Рег.	Адр	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	0	Режим доступа
RA	+0	X 0	Адрес ОЗУ A[14..0] с инкрементом при ЗП/ЧТ регистра RD															ЗП (х – безразлично) ЧТ
RD	+2	Данные ОЗУ (15..0)																ЗП/ЧТ с инкрм. RA
RM	+4	Уровень (0/1) L[4..1] 0 1 1 0				Маска MDI[4..1]				SI32	x	C[2..1]		T	OE	MG	W	ЗП
RID	+4					Кол. Каналов SI				Кол. Каналов SO				0				ЧТ, программ. RESET
RGI	+6	Флаги прерывания FSO[8..1]								Флаги прерывания FSI[8..1]								ЧТ с обнулением RGI
		X																ЗП снимает блок. IRQ
RDO	+8	X						DO[10,9]		PK DOK[8..1]								ЗП (сброс по RESET)
RDI	+8	0						DI[10,9]		PK DIK[8..5]				PK DIK[4..1]				ЧТ
RGF	+A	FQ	0	0	FS	Флаги FDI[4..1]				PK DIK[8..5]				PK DIK[4..1]				ЧТ со сбр. FQ,FDI(4..1)

RA, RD (Register Address, Data) - регистры адреса, данных ОЗУ адаптера, доступны по записи и чтению с PCI;

RM (Register Mode) - регистр режима работы адаптера, доступен по записи с PCI;

RID (Register Identifier) - регистр программного сброса и идентификатора адаптера, доступен по чтению с PCI;

RGI (ReGister Interrupt) - регистр прерываний каналов ПК адаптера, доступен по записи и чтению с PCI;

RDO (Register Discrete Output) - регистр выходных разовых команд адаптера, доступен по записи с PCI;

RDI (Register Discrete Input) - регистр входных разовых команд адаптера, доступен по чтению с PCI;

RGF (ReGister Flags) - регистр флагов прерываний каналов ПК и РК адаптера, доступен по чтению с PCI;

4.2 Регистр режимов RM (ЗП)

Регистр режима RM предназначен для задания общих режимов работы адаптера и включает:

- **RM[0] Работа/Настройка (Work)**
=0 режим **Работа**: Запись в зону BUF (см 5.1) ОЗУ **запрещена**, прием/выдача ПК **разрешены**;
=1 режим **Настройка**: ЗП в зону BUF (см 5.1) ОЗУ **разрешена**, прием/выдача ПК **запрещены**;
- **RM[1] Маска флага прерывания FS всех каналов ПК (Mask Global)**
=0 формирование флага FS (Flag Serial) **разрешено**;
=1 формирование флага FS **запрещено**;
- **RM[2] Запрет Выхода (Output Enable)**
=0 Выход разрешен, выходы ПК SO, PK DO активны;
=1 Выход запрещен, на выходах ПК SO активная пауза, на выходах DO логический «0»;
- **RM[3] Тест (Test)**
=0 Режим теста не активен, каналы ПК, РК подключены к входным линиям;
=1 Каналы ПК SI[4..1], [8..5] подключены к SO[4..1], каналы РК DI[10..1] подключены к DO[10..1];
- **RM[5..4] Режим работы РК ТТЛ типа DO[10,9]**
=0 режим разовых команд
=1 режим сопровождения выдачи для каналов SO[2..1];
РК устанавливается в высокий уровень за 4 битовых интервала (8 битовых интервалов в режиме удлинённой паузы см п. 5.4.1) перед началом выдаваемого слова, и сбрасывается через 4 битовых интервала после окончания выдаваемого слова, если за ним не следует другое слово.
- **RM[7] Бит SI32**
=0 при приеме ПК в ОЗУ в 32-й разряд данных ПК записывается 0;
=1 при приеме ПК в ОЗУ в 32-й разряд данных ПК записывается 1;

- **RM[11..8]** Маски флагов прерываний входных ПК (Mask Discrete Input [4..1])
 - =0 формирование флагов FDI[] разрешено;
 - =1 формирование флагов FDI[] запрещено;
- **RM[15..12]** Уровень для формирования флагов прерываний ПК (Level [4..1])
 - =0 формирование флагов FDI[] по логической «1» на входе по фронту;
 - =1 формирование флагов FDI[] по логическому «0» на входе по спаду;

Примечание: Сигналы **W**, **OE**, **MG**, **MDI[4..1]** устанавливаются сигналом **RESET**, устанавливаются и снимаются программно.

4.3 Регистр программного сброса и идентификатора RID (ЧТ)

При чтении регистра в **PCI** передается код идентификатора адаптера и формируется сигнал программного сброса адаптера (**RESET**), при этом устанавливаются биты регистра **RM[11..8]/[2..0]**, т.е. запрещаются прерывания установкой масок, устанавливается запрет выхода, адаптер переходит в режим настройки. Также обнуляются регистры **RGI**, **DO**, **RGF** и снимается блокировка формирования **IRQ**.

• **RID** содержит код идентификатора (**IDentifier**) адаптера, где:
RID[15..12] - код **ID** адаптера; **RID[11..8]/[7..4]** - код количества каналов **SI/SO**; **RID(3..0)** - код версии адаптера;
Адаптер изготавливается в следующих модификациях по количеству каналов **ARINC-429**:

- **PCI104-429-1- 84** - 8 входных, 4 выходных каналов ПК, код **ID=6840h**;
- **PCI104-429-1- 44** - 4 входных, 4 выходных каналов ПК, код **ID=6440h**;
- **PCI104-429-1- 42** - 4 входных, 2 выходных каналов ПК, код **ID=6420h**;
- **PCI104-429-1- 22** - 2 входных, 2 выходных каналов ПК, код **ID=6220h**;

Примечание:

В модификациях, отличных от 84 исключаются старшие каналы ПК, а их зоны памяти в ОЗУ остаются свободными.

4.4 Регистр прерываний каналов ПК RGI (ЗП/ЧТ)

Регистр прерываний **RGI** при чтении передает индивидуальные флаги прерываний каналов **ПК**. При ненулевом коде в регистре и при снятой маске прерывания (**MG = 0**), адаптер устанавливает флаг прерывания **FS**, который вызывает формирование запроса прерывания **IRQ PCI**. Флаг **FS** может быть прочитан в регистре **RGF** адаптера.

Регистр **RGI** и флаг **FS** обнуляются после чтения регистра **RGI**, или по сигналу сброса поступившему с **PCI**, или сформированному при чтении регистра **RID**.

При установленной маске прерывания (**MG = 0**), запись произвольного кода в регистр **RGI** снимает блокировку прерывания **IRQ** адаптера, которая устанавливается при каждом формировании сигнала **IRQ**.

4.5 Регистр адреса, данных ОЗУ адаптера RA, RD (ЗП/ЧТ)

Регистры **RA**, **RD** обеспечивают доступ к **ОЗУ** адаптера.

Регистр **RA** определяет адрес ячейки **ОЗУ**, доступ к которой осуществляется через регистр **RD**. После обращения к **RD** код адреса регистра **RA** инкрементируется.

При обращении к регистру **RD** по записи код, передаваемый в **RD**, записывается в ячейку **ОЗУ**, при чтении **RD** возвращаются данные из ячейки **ОЗУ**.

4.6 Регистры разовых команд (ПК) адаптера DO(ЗП) и DI (ЧТ)

- **RDO[9..0]** - регистр выходных **ПК**, доступен только по записи, обнуляется сигналом **RESET**. Коду «1» соответствует открытое состояние выходного транзистора на выходах **ПК DOK** и сигнал высокого уровня на выходах **DOT**, коду 0 соответствует закрытое состояние выходного транзистора на выходах **ПК DOK** и сигнал низкого уровня на выходах **DOT**.

- **RDI[9..0]** - при чтении передает код состояния входных каналов **ПК**.

Коду «1» соответствует наличие сигнала низкого уровня на входах **ПК DIK** или сигнала высокого уровня на входах **ПК DIT**.

Коду «0» соответствует наличие сигнала высокого уровня или состояния обрыв на входах **ПК DIK**, или наличие сигнала низкого уровня или состояния обрыв на входах **ПК DIT**.

ПК DIK[4..1], соответствующие битам регистра **RDI[3..0]**, могут являться источниками прерываний адаптера.

4.7 Регистр флагов прерываний каналов ПК и ПК адаптера RGF(ЧТ)

- **RGF[15]** (Flag reQuest) - флаг устанавливается адаптером в «1» при формировании запроса прерывания **IRQ PCI** по установке любого из флагов **FS** или **FDI[4..1]** регистра, сбрасывается при чтении регистра и по сигналам **RESET** адаптера;
- **RGF[12]** (Flag Serial) – флаг устанавливается при ненулевом коде в регистре **RGI** адаптера при снятой маске прерывания (**MG=0**), сбрасывается при чтении регистра **RGI**, по сигналам **RESET** адаптера и при установке бита **W=1**;
- **RGF[11..8]** (Flag Discrete Input [4..1]) – флаги прерываний от входных сигналов **ПК DI(4..1)**, устанавливаются при сброшенных соответственных битах масок **MDI[4..1]=0** при поступлении сигнала логической «1» или «0» на

соответствующем входе РК. Прерывание регистрируется при поступлении сигнала логической «1» («0»), если соответствующие биты регистра **L[4..1]** = «0» («1»). Флаги в регистре сбрасываются при чтении регистра **RGF** и по сигналам **RESET** адаптера;

- **RGF[3..0]=DI[3..0]** – дублирует содержимое регистра **DI** при чтении. Передает код состояния входных каналов РК.

5 АДРЕСНОЕ ПРОСТРАНСТВО ОЗУ

5.1 Распределение адресного пространства

Управление работой каналов ПК адаптера осуществляется через ОЗУ, доступ к которому со стороны шины PCI обеспечивается через регистры **RA** и **RD**, форматы адреса ОЗУ приведены в таблице 5.1.

Таблица 5.1 - Форматы адреса ОЗУ A[14..0] при приеме и выдаче ПК (32К 16-разрядных слов).

Рг./Зона	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	Примечания
DSI	1	NB	DTB[12..9]				Счетчик Слов CC[7..0]=RS[7..0]								1/0	при приеме по CC (RS(9)=1)
DSO			A[12..1]													При приеме по АП (RS(9)=0)
TBSI	0	1	NP	1	NSO			Счетчик Слов (CC) SO[7..0]=RS[7..0]								NP -Номер Страницы ТВ
TBSO				0	NSI			Адрес Параметра (АП) SI= ПК[1..8]								NS -код номера канала SI/SO
USER	0	0	1	RAM Зона Пользователя												ЗП/ЧТ
RB	0	0	0	0	0	0	0	1	AB	0	0/1	NS (Number Serial)				Рег. Буфер ПК Каналов ПК
RC								0	0	1	0					Рег. Управления каналом ПК
RS								0	0	0	1					Рг. Сост./Режима Каналов ПК
RF								0	0	0	0					Рег. Частоты ПК каналов

- **DSI,DSO** (A=4000..7FFF) - зона **данных ПК** входных **SI** и выходных **SO** каналов **ПК**;
- **TBSI0** (A=2000..27FF) - зона **NP=0** таблиц данных программного расписания входных каналов **ПК**;
- **TBSI1** (A=3000..37FF) - зона **NP=1** таблиц данных программного расписания входных каналов **ПК**;
- **TBSO0** (A=2800..2FFF) - зона **NP=0** таблиц данных программного расписания выходных каналов **ПК**;
- **TBSO1** (A=3800..3FFF) - зона **NP=1** таблиц данных программного расписания выходных каналов **ПК**;
- **USER** (A=1000..1FFF) - зона **пользователя**, свободная для записи-чтения оперативных данных;
- **BUF** (A=000 xxxx xx0x xxxx) - зона **буферных регистров (RF,RS,RB)** каналов приема и выдачи **ПК**;
- **RC(F..0)** – **ADDRESS RC=002F..0020** - зона **регистров управления** каналами **NS** приема и выдачи **ПК**;
- **RS(F..0)** – **ADDRESS RS=001Fh.0010** - зона **регистров состояния** каналов **NS** приема и выдачи **ПК**;
- **RF(F..0)** – **ADDRESS RF=000F..0000** - зона **регистров частоты** каналов **NS** приема и выдачи **ПК**;
- **NSI, NSO** – трехразрядный код № канала **ПК**: каналы **SI[1..8], SO[1..8]** кодируются кодом от 0 до 7.
- **NS**- четырех разрядный код № канала **ПК**: каналы **SI[1..8]** имеют код от 0 до 7, **SO[1..8]** имеют код от 8 до 15 соответственно.

Внимание!

Зона ОЗУ, где расположены регистры **RF,RS,RB** в режиме **Работа (W=0)** аппаратно защищена от записи по **PCI**.

5.2 Зона данных ПК ОЗУ Адаптера ПК SI/SO

Зона данных (**DSI** - Data Serial Input, **DSO** – Data Serial Output) предназначена для хранения принятых и выдаваемых данных **ПК**. В ОЗУ записывается и хранится только код первых 31 разрядов слова данных **ПК[31..1]**, 32-й разряд **ПК** (бит контроля четности) проверяется при приеме и формируется при выдаче аппаратно. Код **ПК** содержится в двух смежных ячейках ОЗУ, формат данных и адреса слова **ПК** приведен в таблице 5.2. Из таблицы видно, что **АП** в слове **ПК** записывается в «обычном» виде, а при выдаче и приеме аппаратно переворачивается с учетом того, что сначала в канал передачи выдаются старшие разряды **АП**.

Таблица 5.2 - Формат данных и адреса ОЗУ слова **ПК** при приеме-выдаче **ПК**.

D[15..0] ОЗУ	15	14 ... 08	07	06	05	04	03	02	01	00	Адрес ОЗУ A[0]
Разряды данных	16	15 ... 09	01	02	03	04	05	06	07	08	0
ПК[31..1] SI/SO	S	31 ... 25	24	23	22	21	20	19	18	17	1

Где:

- **ПК[31..1]**, код первых 31 разрядов данных **ПК** приема (выдачи);
- при **приеме** **ПК** в бит **S** адаптер записывает бит **SI32** регистра режима **RM**;
- при **выдаче** **ПК**, бит **S=1** записывается **пользователем**, если данное слово **ПК** необходимо **выдать** в канал, **S=0** - если слово необходимо **пропустить**, при этом в канале формируется активная **пауза** длительностью **40T**.

Зона данных занимает всю старшую половину ОЗУ адаптера - старший разряд адреса **A[14]=1**. Для всех каналов **ПК** зона данных общая и разделена на два банка данных (**NB=0** и **NB=1**). Код номера банка соответствует разряду адреса ОЗУ **A[13]** и независимо задается для каждого канала приема и выдачи **ПК** в регистрах управления **RC, RS[13]** данного канала. Остальные разряды адреса **ПК** в ОЗУ **A[12..1]** при приеме и выдаче **ПК** формируется адаптером следующим образом:

- При приеме ПК по адресу параметра (АП), смещение A[12..1] в области данных ОЗУ адаптера, куда записывается слово ПК, формируется исходя из АП, номера канала NSI (Number Serial Input), по которому принято слово, и данных таблицы программного расписания TBSI (TaBle Serial Input) этого канала. Номер канала определяет таблицу программного расписания, из которой будет выбрана информация. В самой же таблице в ячейке с номером (смещением) равным значению АП содержится код DTB[12..1], который и используется в качестве искомой части адреса A[12..1]. Таким образом пользователь получает возможность записав в таблицу программного расписания требуемые коды DTB[12..1] и задав с помощью регистров управления бит NB (Number Bank) (A[13]), задать адрес в области данных, куда будет записываться слово ПК с данным АП, принятым по данному каналу. При этом, благодаря тому что каждый канал имеет собственную независимую таблицу программного расписания, слова ПК, приходящие с разных каналов могут записываться как в разные, так и в одну и ту же ячейку области данных, перекрывая более старые ПК.
- При приеме ПК по счетчику слов (СС), смещение A[12..9] в области данных ОЗУ, куда записывается слово ПК, определяется аналогично предыдущему случаю с использованием таблицы TBSI, откуда подставляются разряды кода DTB[12..9]. Оставшаяся часть адреса A[8..1] равна текущему значению СС, хранящемуся в регистре RS[7..0] (Register Status), данного канала SI.
- При выдаче ПК, адрес в зоне данных ОЗУ A[12..1] определяющий слово ПК для передачи в последовательный канал, формируется из кода DTB[12..1], который считывается из таблицы программного расписания TBSO (TaBle Serial Output). При выдаче используется таблица TBSO, соответствующая номеру канала выдачи. Смещение в самой таблице определяется текущим значением СС, хранящимся в регистре RS[7..0] данного канала выдачи и инкрементирующимся после каждого выданного слова.

5.3 Зона таблиц программного расписания TBSI/TBSO

Зона таблиц программного расписания обеспечивает задание для каждого слова ПК каждого канала, содержит метки управления и физические адреса (смещения) зоны данных ОЗУ A[12..1], при приеме и выдаче ПК. Адрес ОЗУ в зоне таблиц программного расписания при приеме и выдаче ПК формируется адаптером в соответствии с таблицей 5.3. При приеме и передаче используются таблицы TBSI (TaBle Serial Input) и TBSO (TaBle Serial Output) соответственно.

При приеме ПК, смещение A[7..0] в TBSI, откуда выбирается управляющая информация, равно коду принятых данных ПК[1..8], который является адресом параметра АП[7..0] = ПК[1..8] (веса разрядов: ПК[1]=АП[7] - старший, ПК[8]=АП[0] - младший), либо - счетчику слов RS[7..0], в зависимости от режима приема;

При выдаче ПК, смещение A[7..0] в TBSO равно текущему коду счетчика выданных слов RS[7..0] данного канала SO.

Объем таблицы программного расписания каждого канала - 256 слов, что соответствует разрядности Адреса Параметра ПК и Счетчика Слов ПК. Зона таблиц TBSI/TBSO индивидуальна для каждого канала ПК и разделена на две Страницы NP=0 и NP=1 (Number Page), код Номера Страницы соответствует 12-му разряду адреса ОЗУ и для каждого канала ПК независимо задается в бите регистра управления RC[12] данного канала.

Формат данных (DTB) таблиц управления приведен в таблице 5.3.

Таблица 5.3 - Формат Данных (Data TaBle) ОЗУ таблиц управления входных и выходных каналов SI, SO.

DTB	15	14	13	12 11 10 09	08 . . . 01	00	Режим ПК
TBSI	I	EI	x	Смещение в зоне данных	Смещение в зоне данных	END	Прием по АП
					Безразлично		Прием по СС.
TBSO		EO		Смещение в зоне данных			Выдача ПК

Где:

- DTB[15] (Interrupt) Метка прерывания. Прерывание формируется в момент обращения к таблице.
= 0 Прерывание не формируется;
= 1 Формируется бит прерывания в соответствующем разряде регистра RGI, если прерывание не запрещено в регистре RC данного канала (для разрешения прерывания RC[15]=0);
- DTB[14] (Enable Input) Для TBSI - Разрешение приема
= 0 При приеме есть запись ПК в ОЗУ и инкремент СС;
= 1 При приеме нет записи ПК в ОЗУ и инкремента СС;
- DTB[14,13] (Enable Output) Для TBSO - управление пропуском слова ПК при выдаче:
= « 0 0 » Безусловная выдача слова ПК;
= « 1 0 » Безусловное формирование паузы 40Т;
= « x 1 » Выдача слова ПК по условию если DTB[14] = RC[14], иначе - формирование активной паузы 40Т (пропуск слова выдачи);
- DTB[0] (END) Конец массива выдачи
= 0 Не имеет действия;
= 1 При циклической выдаче ПК обнуляет код СС в регистре RS[7..0] данного канала SO, в остальных режимах обнуляет бит RS[8]=ES, прекращая прием-выдачу ПК по данному каналу.

5.4 Регистры управления (RF,RC,RS,RB) каналов приема-выдачи ПК

К каждому каналу ПК приписан индивидуальный набор регистров: регистр настройки частоты ПК – **RF (Register Frequency)**, регистр управления – **RC (Register Control)**, регистр состояния/режима – **RS (Register Status)**, и две пары буферных регистров данных ПК – **RB (Register Buffer)**.

Регистры **RF,RS,RB** в режиме **Работа (W=0)** доступны для шины PCI только для чтения, в режиме **настройка (W=1)** по записи и чтению.

5.4.1 Регистр настройки частоты (RF) и буферные регистры данных (RB) каналов ПК.

Регистр **RF** предназначен для установки в режиме **настройка (W=1)** кода частоты (**F1,F0**) приема (выдачи) ПК и установки **режима контроля четности (Parity)** при приеме ПК (или формирования - при выдаче ПК) бита четности (32-й бит слова ПК) данного канала. Формат данных регистров **RF** представлен в таблице 5.4.

Таблица 5.4 - Формат данных регистров настройки частоты каналов ПК.

Регистр	15..4	3	2	1	0	Обмен по PCI	Код F1,F0	1X	01	00
RF SI/SO	0	L	P	F1	F0	ЗП/ЧТ при W=1	Частота SI, кГц	100	48 +/-25%	12..14,5
RF SI/SO	X	L	P	F1	F0	ЧТ при W=0	Частота SO, кГц	100	50	12.5

P (Parity) = 0, для входных каналов - **контроль нечетности**, для выходных каналов - **дополнение до нечетности** ПК.

P (Parity) = 1, для входных каналов - **блокировка контроля**, для выходных каналов - **дополнение до четности** ПК.

L (Long) = 0, длина паузы между словами составляет 4 битовых интервалов;

L (Long) = 1, длина паузы между словами составляет 8 битовых интервалов;

Регистры **RB** предназначены для приема-выдачи текущего кода ПК каналов ПК, в режиме **Настройка** должны обнуляться пользователем при инициализации канала.

В режиме **Работа** регистры **RF, RB** доступны пользователю только по чтению.

5.4.2 Регистры управления (RC) и состояния/режима (RS) входных, выходных каналов ПК

Для каждого канала ПК в ОЗУ закреплены индивидуальные регистры **RC, RS**, форматы данных кодов настройки и состояния регистров для входных и выходных каналов ПК приведены в таблице 5.5. Регистр **RC** используется при установке задания для канала. После установки задания его содержимое переписывается в рабочий регистр **RS**, состояние которого (счетчик слов) изменяется по мере работы канала.

Таблица 5.5 - Формат данных регистров управления RC,RS входных (SI), выходных (SO) каналов ПК.

Регистр	15	14	13	12	11	10	09	08	07...00	Режим ЧТ/ЗП	Режим ПК
RC SI	I	X	NB	NC	X	TF	RM	EC	Начальный код Счетчика Слов ПК CC(7-0)	ЗП / ЧТ	Установка Задания
RC SO	I	EO	NB	NC		TF	TM	EC			
RS SI/SO	0									ЗП при W=1	Настройка RF
RS SI	X	X	NB	NP	0	0	RM	EC	Текущий (исполнительный) код Счетчика Слов ПК CC(7-0)	ЧТ при W=0	прием ПК
RS SO						0	TM	EC			Выдача ПК

Где:

- RC[15] (Interrupt):** Условие формирования прерывания данного канала в регистре **RGI** по метке **DTB[15]** = 0 (=1) Прерывание разрешено (запрещено);
- RC[14] (Enable Output):** Управление режимом выдачи ПК по меткам **DTB[14,13]** по данному каналу ПК. Бит управления выдачей слов ПК в канал по меткам **DTB[14,13]** таблицы программного расписания.
- RC[13], RS[13] (Number Bank)** - код **Номера Банка** зоны данных канала ПК (соответствует адресу ОЗУ **A[13]**).
- RC[12], RS[12] (Number Page)** - код **Номера Страницы** в таблице программного расписания данного канала ПК, соответствует адресу ОЗУ **A[12]**.
- RC[10] (Task Flag)** флаг установки задания, смены режима приема (выдачи) ПК по данному каналу.
= 1 Устанавливается пользователем при установлении нового задания для канала;
= 0 Сбрасывается аппаратно, когда адаптер принял новое задание.
- RC[9], RS[9] (Receive Mode):** Для **TBSI** - выбор режима приема:
= 0 Режим приема ПК по **Адресу Параметра (АП)** для данного канала;
= 1 Режим приема по **Счетчику Слов (CC)** для данного канала;
- RC[9], RS[9] (Transmit Mode):** Режим выдачи ПК
= 0 Циклический режим выдачи;
= 1 Однократный режим выдачи.
- RC[8] (Enable Channel):** Управление работой канала
= 0 Запрещение работы канала;
= 1 Разрешение работы канала;
- RS[8] (Enable Channel):** Работа канала
= 0 Канал не работает (не выдает/не принимает);
= 1 Канал работает (выдает/принимает);

6 РАБОТА АДАПТЕРА

6.1 Включение адаптера

Адаптер готов к работе после включения питания через время 200 мкс., это время необходимо для выполнения автоконфигурации платы, при этом сигналы выходных каналов ПК, РК удерживаются в состоянии логического «0».

Начать работу следует с чтения регистра идентификатора **RID** адаптера, которое вызывает сброс адаптера в начальное состояние.

Обмен данными с шиной PCI и управление режимами работы адаптера осуществляется через регистры-порты адаптера. База адресов портов пользователя адаптера в адресном пространстве портов шины PCI и номер прерывания IRQ назначаются BIOS при загрузке ЭВМ. Эти параметры могут быть получены стандартными средствами BIOS или функциями поставляемого ПО адаптера.

В режиме **Настройка (W=1)** адаптер не осуществляет прием/выдачу ПК, а данные регистров **RC,RS,RF** ОЗУ адаптером не воспринимаются и не модифицируются.

В режиме **Работа (W=0)** адаптер осуществляет обработку сигналов готовности от каналов ПК и обеспечивает режимы приема (выдачи) ПК в соответствии с программной моделью адаптера.

В режиме **Тест (T=1)** работа выходных каналов ПК, РК не меняется, а к логическим входам входных каналов ПК, РК подключаются сигналы соответствующих логических выходов выходных каналов ПК и РК.

6.2 Настройка (инициализация) каналов ПК на частоту ПК

В режиме **настройка (W=1)** все адресное пространство ОЗУ адаптера доступно по записи, только в этом режиме осуществляется настройка каналов на **частоту ПК** и режим **контроля-формирования** бита четности приема-выдачи ПК. Настройка осуществляется записью кода настройки по разрядам регистров ОЗУ **RF[2..0]** входных и выходных каналов ПК, по остальным разрядам должен быть записан код «0».

В режиме **настройка** может выполняться предварительная настройка регистров и запись массивов данных **ПК** и таблиц **TBSI/TBSO** каналов ПК.

6.3 Настройка каналов ПК на режимы приема-выдачи

Настройка канала на режим приема/выдачи ПК включает формирование и запись данных таблиц программного расписания, запись **стартовых** выходных данных ПК, и последующая настройка регистра управления **RC** данного канала на выбранный режим работы.

В режиме **Работа (W=0)**, для каждого канала ПК адаптер анализирует флаг установки задания **TF** регистра **RC**, всегда доступный по записи, и при его установке переписывает содержимое регистра **RC** в регистр **RS** со снятием флага задания **TF (Task Flag)**. Запись данных в **регистры управления и состояния** может осуществляться как в режиме **Работа**, так и в режиме **Настройка**, при этом обеспечиваются следующие режимы настройки приема-выдачи ПК:

- **RC[10..8] SI (ЗП)=101(111)** - режим приема ПК по Адресу Параметра (по Счетчику Слов);
- **RC[10..8] SO (ЗП)=101(111)** - **циклический (однократный)** режим выдачи ПК по данному каналу;
- **RC[10..8] (ЗП) = 1x0** - **прекращение** приема-выдачи слов ПК по данному каналу;
- **RC[10..8] (ЧТ) = 1xx(0xx)** - задание **не принято** (задание **принято** или нет задания);

Далее, до установки следующего задания в канале, работа канала осуществляется с регистром **RS**, кроме битов **I, EO** регистра **RC**, которые считываются на исполнение из регистра **RC** и могут модифицироваться в процессе приема-выдачи ПК записью регистра **RC** без установки флага задания. Код регистра **RC[7..0]**, переписанный в регистр **RS[7..0]** при задании, является кодом начального состояния **Счетчика Слов** приема/выдачи данного канала.

Установка режима **Работа (W=0)** должна производиться только при настроенных режимах приема-выдачи ПК, при этом выдача ПК в канал всегда начинается с пустого слова (пауза 40T), либо при обнуленном состоянии регистров управления **RC,RS** каналов ПК и последующей их настройкой в режиме **Работа**.

В режиме **Работа** регистры **RF,RS,RB** доступны только по чтению, при этом в разрядах регистров **RF[15..3]**, **RB** информация произвольна, а регистры **RS** отражают следующие состояния режима работы каналов ПК:

- **RS[10..8] SI (ЧТ) =001(011)** - выполняется режим приема ПК по Адресу Параметра (по Счетчику Слов);
- **RS[10..8] SO (ЧТ)=001(011)** - выполняется **циклический (однократный)** режим выдачи ПК;
- **RS[10..8] (ЧТ)=0x0** - **выполнился** прием или однократный режим выдачи ПК, или **нет** приема-выдачи ПК.
- **RS[7..0] (ЧТ)=CC[7..0]** - текущее значение количества принятых, выданных слов ПК;

6.4 Работа Адаптера в режиме выдачи ПК

Перед выдачей очередного слова ПК, адаптер считывает код данных регистра **RC**, анализирует флаг задания **TF** и запоминает значение битов **I** и **EO** регистра **RC**.

При отсутствии нового задания (**TF=0**) работа ведется с регистром **RS** и при установленном бите разрешения выдачи **ЕС** регистра **RS** запоминаются значения **RS[13..0]** полей **NB**, **NP**, **TM**, **EC**, **CC[7..0]**, далее по адресу сформированному из кодов **NP**, **NS**, **CC[7..0]** в соответствии таблицей 5.1 читаются данные **DTB** таблицы **TBSO**, содержащие метки управления выдачей и адрес ОЗУ, где содержится код выходного слова ПК, который надо выдать при данном значении кода **CC** ПК.

По полученному адресу и коду **NB** из зоны данных **ПК** считывается код **Данных ПК** выдачи и посылается на выдачу в канал, после чего код **CC=RS[7..0]** инкрементируется и данные регистра **RS** возвращаются в ОЗУ.

Следующее слово выдается в канал ПК аналогично. Т.о. адреса, записанные в таблице программного расписания канала, определяют адреса слов ПК, которые последовательно, в соответствии со значениями Счетчика Слов регистра **RS** канала, будут выдаваться в канал выдачи.

Бит **END =1 (DTB[0])** в **циклическом** режиме выдачи обнуляет Счетчик Слов (**RS[7..0]**) канала, а в **однократном** режиме сбрасывает бит **ЕС** регистра **RS**, что **прекращает** выдачу ПК в данном канале (код **RS[10..8]=010** -выполнена однократная выдача ПК). В **циклическом** режиме после сброса Счетчика Слов регистра **RS** канала, выдача ПК продолжается со значения **CC=0**.

При коде **S=0** в 32-м разряде данных ПК (см. Таблицу 5.2) выдача слова ПК не производится, а формируется активная пауза длительностью 40T – пропуск слова. Пропуск слова выполняется независимо от данных ПК и, если получена метка **DTB[14,13]=10**, или, если при **DTB[13]=1**, значение **DTB[14]** не равно значению бита регистра **RC[14]=E**.

Метки управления выдачей **EO (DTB[14,13])**, при модификации бита **EO** регистра **RC**, позволяют в процессе **циклической** выдачи формировать временную диаграмму выдачи слов ПК. Модификации регистра **RC** в процессе выдачи ПК не могут вызвать «разрыва» кода ПК выдачи.

При выдаче кода ПК с меткой прерывания **I=1 (DTB[15])**, если значение бита **I=0** в регистре **RC**, в соответствующем разряде регистра **RGI** формируется бит прерывания **INT** данного канала SO.

На **Рисунке 6.1** приведена временная диаграмма работы адаптера при выдаче ПК в режиме короткой (4T) паузы между словами (**RM[3]=0**).

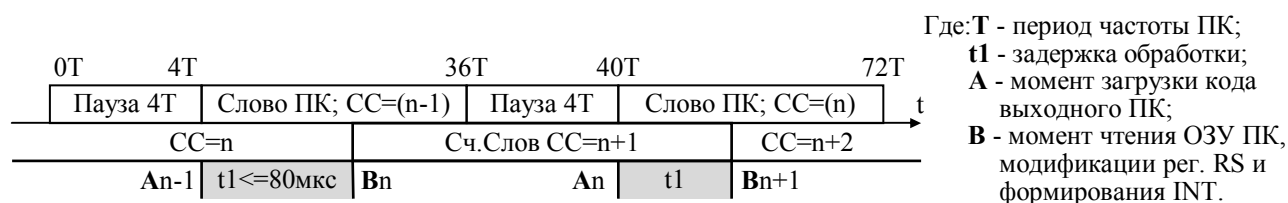


Рисунок 6.1 - Временная диаграмма работы адаптера при выдаче ПК.

6.5 Работа Адаптера в режиме приема ПК

Работа входного канала начинается с приема в буферные регистры **RB** канала **правильного** слова ПК (наличие 32-х бит, бита нечетности и паузы после слова ПК), далее работа до чтения регистра **RS** выполняется аналогично работе выходного канала, при этом запоминаются бит **I** регистра **RC** и значения полей регистра **RS NB, NP, RM, EC, CC[7..0]**. Бит **RM** определяет режим приема ПК по **Адресу Параметра** или по **Счетчику Слов** ПК. Затем по адресу сформированному из кодов **NP, NS, AP(7..0)** в соответствии **таблицей 5.1** читаются данные **DTB** таблицы **TBSI**, содержащие метки управления и адрес ОЗУ для приема входного слова ПК.

Далее в режиме приема по **АП** по полученному адресу и коду **NB** формируется адрес ОЗУ **данных** ПК (см. Таблицу 2), куда записываются принятые данные ПК.

В режиме приема по **Счетчику Слов** адрес ПК формируется из кода **NB**, кода **DTB[12..9]** и кода **Счетчика Слов** регистра **RS[7..0]** (см. Таблицу 5.1).

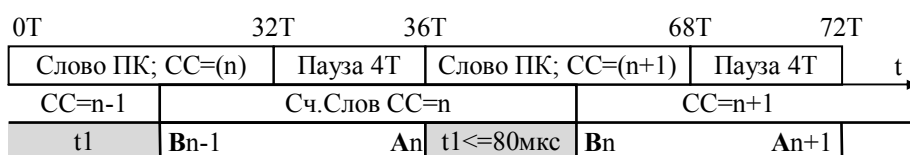
Обработка метки **I (DTB[15])** в обоих режимах приема выполняется аналогично каналам выдачи.

Инкремент **Счетчика Слов** выполняется только если **EO = 0 (DTB[14])**, при этом в регистре **RS** сохраняется текущее значения Счетчика Слов, соответствующее количеству принятых слов ПК.

При получении метки **EO=1** запись ПК в ОЗУ и инкремент **Сч. Слов SI** не производится, а при получении метки **END=1** сбрасывается бит **EC** регистра **RS**, что **прекращает** прием ПК по данному каналу (код **RS[10..8]=0x0**).

При записи принятого ПК в ОЗУ для всех каналов, в разряд данных, соответствующий **ПК[32]=S**, записывается значение бита **SI32** регистра **RM**.

На **Рисунке 6.2** приведена временная диаграмма работы адаптера при приеме ПК в режиме короткой (4T) паузы между словами (**RM[3]=0**).



Где: **T** - период частоты ПК;
t1 - задержка обработки;
A - момент приема кода входного ПК;
B - момент записи ПК в ОЗУ ПК, модификации регистра **RS** и формирования **INT**.

Рисунок 6.2 - Временная диаграмма работы адаптера при приеме ПК.

6.6 Работа адаптера при приеме-выдаче Разовых Команд

Адаптер имеет 10 входных и 10 выходных каналов Разовых Команд.

На **Рисунке 6.3** представлены принципиальные схемы входных (**DIK**), выходных (**DOK**) каскадов ПК **DI[8..1]**, **DO[8..1]**. Выходные ПК **DO[10,9]** и входные ПК **DI[10,9]** являются ПК ТТЛ типа.

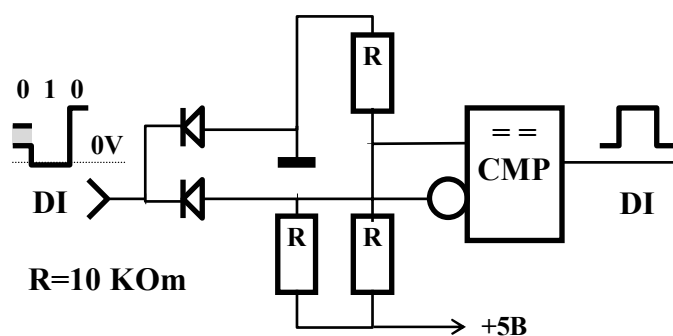


Рисунок 6.3 Схема входного каскада ПК **DIK**.

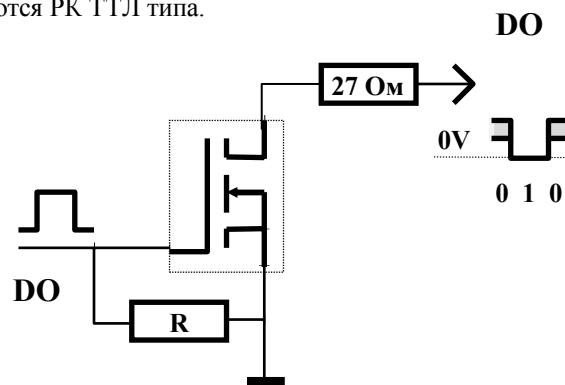


Схема выходного каскада ПК **DOK**.

При чтении регистров портов **DI** или **RGF** мгновенное состояние входных ПК **DI** передается в шину **PCI**.

При разрешенных масках прерывания **MDI[4..1]=0 (регистр RM)** для входных ПК, адаптер при переключениях входных ПК **DI[4..1]** может формировать сигнал запроса прерывания **IRQ PCI** с установкой в регистре **RGF** флагов **FDI[4..1]** прерываний от каждой из входных ПК.

При коде регистра **RM L[4..1]=0(1)** флаги прерывания **FDI[]** формируются по переходу ПК **DI[]** из логического **0(1)** в логическую **1(0)**. Регистрация прерываний от сигналов ПК **DI()** гарантируется при длительности импульса ПК более 1 мкс.

Для приема адаптером ПК вида **BC(+27В)/обрыв**, цепь ПК **DIK** шунтируют резистором **R=2..3 КОм** на «корпус» вне платы, при этом наличие на входе уровня **BC/обрыв**, будет передаваться логическим «0/1».

Выдача выходных РК осуществляется из 10-ти разрядного регистра **RDO**, который запоминает значение кода выходных РК при записи регистра-порта адаптера **RDO** по шине PCI.

6.7 Формирование и обработка прерываний адаптера

При работе адаптер может формировать до 16 сигналов прерываний, по одному от каждого из каналов ПК, и четыре - от каждой из входных РК **DI[4..1]**, в свою очередь эти прерывания формируют один сигнал запроса прерывания **IRQ PCI**.

Флаги прерываний от каналов ПК **INT SI(8..1)** и **INT SO(4..1)** формируются в регистре адаптера **RGI** при приеме-выдаче слова ПК по данному каналу, если в канале выполняется условие **I=0** в **RC** и **I=1** в **DTB**. Вызов запроса прерывания **IRQ** по этим флагам возможен только при снятой маске прерывания **GM=0** регистра **RM**. Прерывания от каналов ПК формируются по следующим условиям:

- **по входным каналам** - при приеме по заданному каналу слова ПК с заданным **Адресом Параметра**;
- **по выходным каналам** - при выдаче по заданному каналу слова ПК с заданным номером **Счетчика Слов** ПК.

Флаги прерываний от входных каналов ПК формируются при перезаписи принятого кода из буфера в ОЗУ ПК, по времени это происходит не позднее интервала 80 мкс. после окончания паузы 4Т, следующей за словом ПК, вызвавшим это прерывание.

Флаги прерываний от выходных каналов ПК формируются при перезаписи выходного кода из ОЗУ ПК в выходной буфер канала, что по времени соответствует моменту начала выдачи предыдущего слова ПК плюс интервал не более 80 мкс.

При **GM=0** и не нулевом состоянии регистра **RGI** адаптер в регистре **RGF[12]** формирует флаг **FS** прерывания от каналов ПК, а в разрядах регистра **RGF[11..8]** независимо формируются флаги прерываний от входных РК **DI[4..1]**.

При любом установленном флаге **FS** или **F[4..1]** в регистре **RGF**, адаптер формирует сигнал запроса прерывания **IRQ PCI** с установкой флага **FQ** регистра **RGF** – признака, что прерывание **IRQ PCI** установлено адаптером. Этот флаг необходим для указания программе в случае разделения одного прерывания **IRQ** двумя активными устройствами на PCI.

После формирования сигнала **IRQ PCI** адаптером, последующее формирование сигнала **IRQ** блокируется до выполнения записи произвольного кода в регистр **RGI**, при этом флаги прерываний **FSI/FSO[] RGI** и **F[4..1] RGF** продолжают накапливаться.

Флаг **FQ** и флаги **F[4..1]** регистра **RGF** снимаются после чтения регистра **RGF**, которое обязательно должно выполняться в обработчике прерывания адаптера.

Флаг **FS** и флаги **FSI/FSO[]** регистра **RGI** каналов ПК обнуляются после чтения регистра **RGI**, которое может выполняться как в обработчике прерываний, так и в основной программе.

Период возникновения условий прерываний по любому из каналов ПК или РК не должен быть менее времени реакции и обработки прерывания **IRQ** процессором, иначе возможны потери прерываний.

7 РЕКОМЕНДАЦИИ ПОЛЬЗОВАТЕЛЯМ

Различные технические возможности адаптера, предусмотренные разработчиками, неочевидны и требуют дополнительных комментариев, которые приведены в этом разделе.

7.1 Программное расписание (TBSI/TBSO) каналов ПК

- позволяет гибко планировать адресное размещение слов ПК в ОЗУ адаптера;
- адресовать общие параметры выдачи для N-каналов или для различных протоколов выдачи из одного источника (ячейки ОЗУ);
- организовывать множество подготовленных кадров однократной выдачи (в пределах 256 слов ПК);
- организовывать множество кадров однократного приема по Счетчику Слов (в пределах 256 слов ПК канал);
- не модифицируемые параметры выдачи не требуют их перезаписи в буфер при повторной выдаче;
- при приеме организовывать прерывания в одном канале по различным Адресам Параметра.

7.2 DTB[14,13] - наличие управления приема-выдачи слов ПК по DTB

При приеме по Сч. Слов позволяет организовывать режимы Анализатора ПК: трасса Параметра, «Сито» и т.п.

При циклической выдаче наличие двух разрядов **DTB[14,13]**, вместе с управлением переключения бита **EO (RC[14])**, позволяет без смены задания быстро включать в кадр выдачи дополнительные зарезервированные в пустых словах параметры, а так же организовывать режим псевдо-однократной выдачи, когда в кадре выдачи присутствуют три типа слов: не модифицируемые (**DTB[14,13]=00**), и модифицируемые (**DTB[14,13]=01,11**), которые выдаются в канал, соответственно при **EO=0,1** из двух разных областей ОЗУ- области выдачи и области модификации, которые меняются программой.

Такой режим защищает выдачу от «разрыва» кода при модификации, но требует удвоенного количества слов модифицируемых параметров в кадре выдачи.

7.3 NB - наличие 2-х банков ПК на канал

Позволяет быстро в пределах одного расписания (**TBSI/TBSO**) в однократном режиме или произвольно переключать **NB** для фиксации кадра приема или перехода на подготовленный кадр выдачи (в т.ч. механизм защиты от «разрыва» кода ПК(младший/старший) приема или выдачи при совпадении с обменом по PCI данного параметра.

7.4 NP - наличие 2-х буферов TBSI/TBSO на канал ПК

Позволяет иметь и быстро переключать на два различных протокола приема-выдачи ПК для фиксации кадра приема или перехода на подготовленный кадр выдачи (в т.ч. механизм защиты от «разрыва» кода ПК(младший/старший) приема или выдачи при совпадении с обменом по ISA.

7.5 Рекомендации по построению программ пользователя

При построении программ необходимо в первую очередь, исходя из специфики задач, правильно выбрать режим работы по каждому из каналов ПК, для входных каналов - это прием по АП или СС и необходимость прерываний, для выходных - циклическая или однократная, с прерываниями или без, выдача ПК.

При **выдаче ПК** наиболее удобным является циклический режим выдачи без прерываний с подкачкой модифицируемых параметров в темпе задачи. Построение необходимого цикла кадра выдачи может осуществляться включением в кадр пустых слов (пауз 36Т), при этом «медленные» параметры в кадре выдаются один раз, а более «быстрые» - два или более раз, что достигается составлением соответствующего расписания (ТВ) выдачи.

При всем удобстве работы, этот режим не исключает ситуации «разрыва» кода выдачи, когда смена параметра по PCI в ОЗУ адаптера совпадет с запросом этого параметра каналом, при этом в канал может попасть половина слова (16-разр.) старого, половина нового от слова ПК (32 разряда), что не всегда допустимо.

Загрузка канала словом ПК (два 16-разрядных слова) в адаптере занимает время **1 мкс.**, при этом возможна ситуация попадания внутрь этого цикла 3П по PCI, и ситуация, когда 3П по PCI двух 16-разр. слов одного параметра будет разделена этим циклом.

Для исключения этой ситуации возможны следующие программные решения:

- проверка на изменение только в одной половине слова ПК, что не приведет к разрыву кода ПК;
- отслеживание по чтению СС канала какой параметр в данный момент может быть запрошен каналом;
- смена параметра в ОЗУ тремя записями: 3П в старшую часть кода «0», 3П младшей, 3П старшей части кода ПК, при этом, в худшем (маловероятном) случае, в канал в данный момент выдастся пустое слово;
- одни и те же модифицируемые параметры выдавать из двух разных зон ОЗУ, различаемых в TBSO-выдачи разными кодами **DTB[14,13]=01(11)** и адресами ПК, и управлять их выдачей, перенастраивая бит **RC[14]** данного канала (псевдо-разовая выдача), при этом модифицируется та область ОЗУ, из которой при данной настройке RCO выдаются пустые слова, перенастройка бита **EO (RC[14])** без установки флага задания **TF (RC[10])** может производиться на фоне выдачи в любой момент времени и не приводит к обрыву или разрыву кода ПК;

- работать в однократном режиме выдачи с заранее подготовленным кадром данных ПК без их модификации;

Однократный режим выдачи без модификации параметров в процессе выдачи полностью исключает ситуацию разрыва кода, но требует формирования периода кадра выдачи программой и отслеживания момента окончания кадра по прерыванию **IRQ** или по снятию бита **RS[8]** для последующей выдачи задания и перехода на другую подготовленную зону выдачи ПК.

В однократном режиме выдачи с помощью программного расписания может быть создано произвольное количество кадров выдачи произвольной длины (в пределах 256 слов ПК). При выдаче задания в RC записывается начальный код **CC** ПК, соответствующий началу данного кадра, конец кадра определяется битом **END (DTB[0])** в **TBSO** (в циклической выдаче начало кадра всегда должно соответствовать коду **CC=0**).

Следует отметить, что прерывание при выдаче для данного значения **CC** формируется по времени в момент, когда началась выдача предыдущего слова ПК, но с этого момента можно уже перенастраивать работу канала (ЗП RC) без опасения нарушить выдачу ПК.

При **приеме** ПК в задачах пользователя основными трудностями остается та же проблема защиты от «разрыва» кода ПК при чтении по **PCI**, а так же организация файлового режима приема ПК (безадресный ПК).

Для защиты от «разрыва» кода можно предложить 4-х цикловое Чтение: ЧТ **RS**, ЧТ ПКмл., ЧТ ПКст., ЧТ **RS** и проверка на отсутствие модификации **CC RS** до и после чтения ПК, а так же повторное чтение ПК с последующим сравнением.

Организация файлового приема зависит от используемого протокола обмена, но всегда предполагает прием заданного количества слов ПК по какому то условию.

Адаптер не может сформировать прерывание **IRQ** по значению кода **CC** ПК **SI**, что вызывает трудности при организации приема файла, поэтому протокол нужно строить так чтобы передающая система выдавала однократный кадр длиной <256 слов ПК с предварительным уведомлением.

Прием файла может сопровождаться получением входной РК (с прерыванием **IRQ** или без) и последующего приема кадра известной длины в очищенную область памяти с настройкой канала на прием по **CC**.

Возможен протокол когда в канале выделен специфичный АП, который содержит информацию о файле, получение данного слова ПК в адресном приеме (с прерыванием или без) означает, что будет передан файл и требуется настройка канала на режим приема по **CC**, в этом случае требуется известное время на обработку прерывания и настройку канала перед передачей кадра ПК.

В регистре **RS** канала **SI** сохраняется текущее значение кода принятого количества слов ПК.

7.6 Рекомендации по эксплуатации и техническому обслуживанию

Адаптер изготавливается и поставляется в четырех исполнениях по количеству каналов ПК. В **таблице 7.1** приведены наименования исполнений платы, указаны имена используемых каналов ПК, и указано к каким выходным каналам ПК подключаются входные каналы ПК в режиме «Тест» **T=1 (RM[3])** и в тестовой «заглушке» **X1**.

Таблица 7.1 – Модификации Адаптера PCI104-429-1-XX по количеству каналов ПК.

Исполнения:	PCI104-429-1-84	PCI104-429-1-44	PCI104-429-1-42	PCI104-429-1-22
Каналы SI :	SI1,..SI8	SI1,..SI4	SI1,..SI4	SI1, SI2
Каналы SO :	SO1,..SO4	SO1,..SO4	SO1, SO2	SO1, SO2
Режим «Тест»	SI1..4 = SI5..8 = SO1..4	SIn = SOn	SI1,2 = SI3,4 = SO1,2	SIn = SOn

ПРИЛОЖЕНИЕ А. (для распечатки)

Таблица А1. РЕГИСТРОВАЯ МОДЕЛЬ АДАПТЕРА

Рег.	Адр	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	0	Режим доступа	
RA	+0	X 0	Адрес ОЗУ A[14..0] с инкрементом при ЗП/ЧТ регистра RD															ЗП (х – безразлично) ЧТ	
RD	+2	Данные ОЗУ (15..0)																ЗП/ЧТ с инкрм. RA	
RM	+4	Уровень (0/1) L[4..1]				Маска MDI[4..1]				SI32	х			T	OE	MG	W	ЗП	
RID	+4	0	1	1	0	Кол. Каналов SI				Кол. Каналов SO			0			ЧТ, программ. RESET			
RGI	+6	Флаги прерывания FSO[8..1]								Флаги прерывания FSI[8..1]								ЧТ с обнулением RGI	
		X																	ЗП снимает блок. IRQ
RDO	+8	X						DO[10,9]		PK DO[8..1]									ЗП (сброс по RESET)
RDI	+8	0						DI[10,9]		PK DIK[8..5]				PK DIK[4..1]				ЧТ	
RGF	+A	FO	0	0	FS	Флаги FDI[4..1]				PK DIK[8..5]				PK DIK[4..1]				ЧТ со сбр. FQ,FDI(4..1)	

RA, RD (Register Address, Data) - регистры адреса, данных ОЗУ адаптера, доступны по записи и чтению с PCI;

RM (Register Mode) - регистр режима работы адаптера, доступен по записи с PCI;

- **Work** **W=0/1** - Работа/Настройка;
- **Mask Global** **MG=0/1** - Маска флага прерывания каналов ПК (разрешено/запрещено);
- **(Output Enable)** **OE=0/1** – Разрешение / Запрет Выхода;
- **(Test)** **T=1** – режим Тест входных каналов ПК, ПК;
- **SI32** **Заполнение 32 разряда в RAM при приеме ПК;**
- **(Mask Discrete Input [4..1])** **MDI=0/1** - Маски флагов прерываний входных ПК (разрешено/запрещено);
- **(Level [4..1])** **L=0/1** - Уровень по фронту/спаду при формировании флагов прерываний ПК.

Сигналы **W, OE, MG, MDI[4..1]** устанавливаются сигналом **RESET**, устанавливаются и снимаются программно.

RID (Register Identifier) - регистр программного сброса и идентификатора адаптера, доступен по чтению с PCI;

RGI (ReGister Interrupt) - регистр прерываний каналов ПК адаптера, доступен по записи и чтению с PCI;

RDO (Register Discrete Output) - регистр выходных разовых команд адаптера, доступен по записи с PCI;

RDI (Register Discrete Input) - регистр входных разовых команд адаптера, доступен по чтению с PCI;

RGF (ReGister Flags) - регистр флагов прерываний каналов ПК и ПК адаптера, доступен по чтению с PCI;

Модификации Адаптера PCI104-429-1-XX по количеству каналов ПК.

Адаптер изготавливается и поставляется в четырех исполнениях по количеству каналов ПК. В таблице А2 приведены наименования исполнений платы, указаны имена используемых каналов ПК, и указано к каким выходным каналам ПК подключаются входные каналы ПК в режиме «Тест» **T=1 (RM[3])** и в тестовой «заглушке» X1.

Таблица А2 – Модификации Адаптера PCI104-429-1-XX по количеству каналов ПК.

Исполнения:	PCI104-429-1-84	PCI104-429-1-44	PCI104-429-1-42	PCI104-429-1-22
Каналы SI:	SI1,..SI8	SI1,..SI4	SI1,..SI4	SI1, SI2
Каналы SO:	SO1,..SO4	SO1,..SO4	SO1, SO2	SO1, SO2
Код ID[]:	6840	6440	6420	6220
Режим “Тест”	SI1..4 = SI5..8 = SO1..4	SI _n = SO _n	SI1,2 = SI3,4 = SO1,2	SI _n = SO _n

ПРИЛОЖЕНИЕ Б. (для распечатки)

Таблица Б1. АДРЕСНОЕ ПРОСТРАНСТВО ОЗУ АДАПТЕРА

Рг./Зона	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	Примечания
DSI	1	NB	DTB[12..9]				Счетчик Слов CC[7..0]=RS[7..0]								1/0	при приеме по CC (RS(9)=1)
DSO			A[12..1]											при приеме по АП (RS(9)=0)		
TBSI	0	1	NP	1	NSO			Счетчик Слов (CC) SO[7..0]=RS[7..0]								NP -Номер Страницы ТВ
TBSO				0	NSI			Адрес Параметра (АП) SI= ПК[1..8]								NS -код номера канала SI/SO
USER	0	0	1	RAM Зона Пользователя											ЗП/ЧТ	
RB	0	0	0	0	0	0	0	1	AB	0	0/1	NS (Number Serial)				Рег. Буфер ПК Каналов ПК
RC								0	0	1	0					Рег. Управления каналом ПК
RS								0	0	0	1					Рг. Сост./Режима Каналов ПК
RF								0	0	0	0					Рег. Частоты ПК каналов

- DSI,DSO (A=4000..7FFF) - зона **данных ПК** входных **SI** и выходных **SO** каналов **ПК**;
- TBSI0 (A=2000..27FF) - зона **NP=0** таблиц данных программного расписания входных каналов **ПК**;
- TBSI1 (A=3000..37FF) - зона **NP=1** таблиц данных программного расписания входных каналов **ПК**;
- TBSO0 (A=2800..2FFF) - зона **NP=0** таблиц данных программного расписания выходных каналов **ПК**;
- TBSO1 (A=3800..3FFF) - зона **NP=1** таблиц данных программного расписания выходных каналов **ПК**;
- USER (A=1000..1FFF) - зона **пользователя**, свободная для записи-чтения оперативных данных;
- BUF (A=000 xxxx xx0x xxxx) - зона **буферных регистров (RF,RS,RB)** каналов приема и выдачи **ПК**;
- RC(F..0) – АДРЕСС RC=002F..0020 - зона **регистров управления** каналами **NS** приема и выдачи **ПК**;
- RS(F..0) – АДРЕСС RS=001Fh.0010 - зона **регистров состояния** каналов **NS** приема и выдачи **ПК**;
- RF(F..0) – АДРЕСС RF=000F..0000 - зона **регистров частоты** каналов **NS** приема и выдачи **ПК**;
- NSI, NSO – трехразрядный код № канала **ПК**: каналы SI[1..8], SO[1..8] кодируются кодом от 0 до 7.
- NS- четырех разрядный код № канала **ПК**: каналы SI[1..8] имеют код от 0 до 7, SO[1..8] - код от 8 до 15.

Внимание: Зона ОЗУ, где расположены регистры RF,RS,RB в режиме **Работа (W=0)** аппаратно защищена от записи по PCI.

Таблица Б2. Формат данных регистров настройки частоты каналов **ПК**.

Регистр	15..3	2	1	0	Обмен по PCI	Код F1,F0	1X	01	00
RF SI/SO	0	P	F1	F0	ЗП/ЧТ при W=1	Частота SI, кГц	100	48 +/-25%	12..14,5
RF SI/SO	X	P	F1	F0	ЧТ при W=0	Частота SO, кГц	100	50	12.5

Таблица Б3. Формат данных регистров управления RC,RS входных (SI), выходных (SO) каналов **ПК**.

Регистр	15	14	13	12	11	10	09	08	07...00	Режим ЧТ/ЗП	Режим ПК
RC SI	I	X	NB	NC	X	TF	RM	EC	Начальный код Счетчика Слов ПК CC(7-0)	ЗП / ЧТ	Установка Задания
RC SO	I	EO	NB	NC		TF	TM	EC			
RS SI/SO	0									ЗП при W=1	Настройка RF
RS SI	X	X	NB	NP	0	0	RM	EC	Текущий (исполнительный) код Счетчика Слов ПК CC(7-0)	ЧТ при W=0	прием ПК
RS SO						0	TM	EC			Выдача ПК

Таблица Б4. Формат Данных (Data Table) ОЗУ таблиц управления входных и выходных каналов **SI, SO**.

DTB	15	14	13	12 11 10 09	08 ... 01	00	Режим ПК
TBSI	I	EI	x	Смещение в зоне данных	Смещение в зоне данных	END	Прием по АП
					Безразлично		Прием по СС.
TBSO		EO	Смещение в зоне данных				Выдача ПК

Где:

- DTB[15] (Interrupt) **Метка прерывания**, = 0/1 - прерывание не формируется / формируется;
- DTB[14] (Enable In) для SI **Разрешение приема**, = 0/1 - при приеме есть / нет записи **ПК** в ОЗУ и инкремент **CC**;
- DTB[14,13] (Enable Output) Для TBSO - **управление выдачей / пропуском слова ПК при выдаче**:
= « 0 0 » Безусловная выдача слова **ПК**; = « 1 0 » Безусловное формирование паузы **40T**;
= « x 1 » Выдача слова **ПК** по условию если DTB[14] = RC[14], иначе - формирование активной паузы **40T**.
- DTB[0] (END) **Конец массива выдачи**
= 0 Не имеет действия;
= 1 При **циклической выдаче** **ПК** обнуляет код **CC** в регистре RS[7..0] данного канала **SO**, в остальных режимах обнуляет бит RS[8]=ES, прекращая прием-выдачу **ПК** по данному каналу.